

DERWENT-ACC-NO: 2000-372499

DERWENT-WEEK: 200032

COPYRIGHT 2005 DERWENT INFORMATION LTD

TITLE: Bump electrode formation method for semiconductor device manufacture, involves melting solder in through-hole of carrier, which is transferred to electrode pad of semiconductor device

PATENT-ASSIGNEE: TOSHIBA KK[TOKE]

PRIORITY-DATA: 1998JP-0290733 (October 13, 1998)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE	PAGES	MAIN-IPC
JP 2000124243 A	April 28, 2000	N/A	010	H01L
021/60				

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO	APPL-DATE
JP2000124243A	N/A	1998JP-0290733	October 13, 1998

INT-CL (IPC): H01L021/60

ABSTRACTED-PUB-NO: JP2000124243A

BASIC-ABSTRACT:

NOVELTY - Solder (4) is plated to through-hole (9) provided in a metal layer (2) of a carrier. The carrier is aligned above a semiconductor device. The solder is melted and solder is transferred to electrode pad of semiconductor device.

USE - For bump electrode formation in semiconductor device manufacture.

ADVANTAGE - Since photolithography process is not needed, solder bump is formed on pellet like semiconductor chip. Enables highly precise solder plating selectively within minute through-holes, by which productivity is increased. Since burn in test of semiconductor chip is performed quality of chip is guaranteed.

DESCRIPTION OF DRAWING(S) - The figure shows manufacturing method of semiconductor device.

Metal layer 2

Solder 4

Through-hole 9

CHOSEN-DRAWING: Dwg.6/24

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-124243

(P2000-124243A)

(43) 公開日 平成12年4月28日 (2000. 4. 28)

(51) IntCl.

識別記号

F I

テマコード (参考)

H 0 1 L 21/60

H 0 1 L 21/92

6 0 4 F

審査請求 未請求 請求項の数 3 O L (全 10 頁)

(21) 出願番号 特願平10-290733

(22) 出願日 平成10年10月13日 (1998. 10. 13)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 樋口 和人

神奈川県横浜市磯子区新磯子町33番地 株式会社東芝生産技術研究所内

(72) 発明者 飯田 敦子

神奈川県横浜市磯子区新磯子町33番地 株式会社東芝生産技術研究所内

(74) 代理人 100081732

弁理士 大胡 典夫 (外1名)

最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 本発明は、ペレット状のベア半導体チップ上に微細なはんだバンパを高い生産性を確保しながら製造する方法を提供する。

【解決手段】 本発明の方法は、はんだバンパを形成する場合、内部に導電層を有し、この導電層が露出した微細貫通孔を有する絶縁性キャリアを用意し、導電層を陰極として貫通孔内のみにはんだめっきを選択的にを行い、この後、キャリアと半導体チップを密着させリフローすることで、前記貫通孔内のはんだめっきを半導体チップ上へ移転させはんだバンパを形成する。



## 【特許請求の範囲】

【請求項1】 半導体素子上の電極パッド上にバンパ電極を製造するに際し、別途、金属層と樹脂層が積層されたキャリアを用意し、

前記キャリアに前記半導体素子上の電極パッドと同じ配置で金属層を貫く貫通孔を開く工程と、

前記貫通孔壁面に露出した金属層にはんだをめっきする工程と、前記貫通孔と電極パッドを位置合わせし、前記キャリアと半導体素子を接触させる工程と、

前記キャリアと半導体素子を接触させたままリフローを行い、貫通孔内のはんだを溶融させ、半導体素子上の電極パッド上にはんだを移転する工程を具備したことを特徴とする半導体装置の製造方法。

【請求項2】 前記金属層が、半導体素子の電極パッドを1対1に外側へ引き出し、拡大されたテスト用電極パッドを設けるようにパターンニングされたことを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項3】 前記キャリアと半導体素子を接触させたままリフローを行い、貫通孔内のはんだを溶融させ、半導体素子上の電極パッド上にはんだを移転する際、キャリア内の金属層と半導体素子上の電極パッドが電氣的に接続された状態を保持し、前記テスト用電極パッドで半導体素子のテストを行う工程と、再度リフローを行い、貫通孔内のはんだを溶融させ半導体素子上の電極パッド上にはんだを移転する工程を具備したことを特徴とする請求項2に記載の半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は半導体装置の製造方法に係り、特に回路配線基板上にフリップチップ実装する半導体チップのボンディングパッド上に形成するバンパ電極製造方法に関する。

## 【0002】

【従来の技術】近年、情報処理技術の発達、普及により電子機器の小型化、薄型化、高性能化が進められており、これにともなう半導体チップも小型化、高集積化の方向にある。

【0003】特に、数百MHzの周波数で動作し演算処理を行うようなマイクロプロセッサユニット等のLSIチップは、多入出力、処理速度の高速化、小型化に対応するべくフリップチップ接続技術によりモジュール基板上に搭載する方法が採用されつつある。

【0004】フリップチップ接続技術は、半導体素子の基板上への搭載面積を半導体装置の大きさと同じにでき、接続配線長をワイヤボンディング法、TAB法等と比較して短くできる為、高密度・高速実装に適している実装技術である。フリップチップ実装は、半導体素子と回路基板を対向させてバンパ電極により接続する方法の総称であり、接続方法の違いにより、はんだバンパ接続、マイクロバンパ接続、異方性導電膜接続、導電性ベ

ースト接続、圧接接続に分類される。

【0005】中でも、はんだバンパを用いる方式は、リフロー接続時のセルフアライメント効果により実装位置ずれに対する許容範囲が広く、また、はんだバンパが塑性変形を起こし接続部に発生する応力が緩和され、高信頼性が可能となる等の長所を持っているためフリップチップ実装の主流となっている。

【0006】はんだバンパを半導体素子電極上に形成する方法としては、物理的被着法やめっき法が広く用いられている。物理的被着法は金属膜を蒸着法やスパッタリング法等で被着し、フォトリソグラフィによりパターンニングし、電極上にバリアメタルを形成する。

【0007】バリアメタルは、アルミ電極と密着性の良い金属、はんだ中の錫の拡散が比較的遅い金属、はんだと濡れ性の良い金属、酸化防止金属から構成されている。更に、バリアメタルは、コスト低減、工程削減の為に、前述した効果を合わせ持った金属を使用することにより、2層、もしくは3層で構成されることが一般的である。

【0008】はんだに対するバリアメタルとしては、チタン/銅/金の積層膜やクロム/銅/金の積層膜等が使用されているが、中でもチタン/ニッケル積層膜上に酸化防止層として金、白金等を堆積させた構造が最も信頼性が高い。特に、錫含有量が多い錫鉛共晶はんだを使用した場合においては、ニッケルと錫の反応が銅と錫の反応と比較して遅いため、チタン/ニッケル/酸化防止層の構成は、他のバリアメタル構成と比較して高い信頼性を有している(S. Honma, et. al., "Effectiveness of thin film barrier metals for eutectic solder bumps", Proceedings of ISHM '96, pp. 87-92, 1996)。

【0009】このバリアメタル上にマスクを乗せ、錫と鉛を蒸着法で被着する。この場合、錫と鉛の蒸着厚みが10μm以上と厚いため、入射角の違いからマスクの影ができ、均一膜厚を得ることが困難である。また、蒸着装置内の壁面等の余分な場所に被着堆積する金属量が膨大となるため、ガス吸着による真空度保持が困難となる。

【0010】めっき法は、バリアメタル部分を予めパターンニングした後、レジスト膜を形成し、フォトリソグラフィによりバンパを形成する部分に開口パターンを形成し、パターンめっき法によりバンパを形成する技術(特開昭61-141159号公報)、バンパ電極をパターンめっき法により形成した後、バンパをマスクにしてバリアメタルをエッチング除去する技術(特開平2-223436号公報)などが提案されている。いずれもバンパ電極の形成は電気めっきで行うため、厚いはんだ膜を高速に形成でき、極めて生産性が高い。また、物理

的被着法のような装置内への堆積物による問題も無い。

【0011】しかしながら、物理的被着法およびめっき法はいずれもフォトリソグラフィ技術を用いるため、半導体チップをベレット状に切り出す前のウェハー段階での工程が必須である。このため、一般的に入手できるワイヤボンディング法やTAB法等で実装することを目的としたベレット状態のペアチップに対してはんだバンパ電極を形成することは出来ない。

【0012】これら、ベレット状態のペアチップにはんだバンパ電極を形成する方法としてワイヤボンディングによる方法やはんだボール供給法、スクリーン印刷法等が開発されている。

【0013】ワイヤボンディングによる方法は、図17～20に示すようにはんだワイヤー20を用いて半導体素子の電極パッド6上にボールボンディングし、1stボンディング後にワイヤーを引き切ってバンパを一つ一つ形成する(T. Ogashiwa, et. al., "Solder bump formation for flip-chip interconnection by ball bonding method", Proceedings of IMC 1990, pp. 228-234, 1990)。ワイヤー20を引き切った後、リフローを行いはんだバンパ8を形成する。はんだ量が少なければ、同じ場所にボンディングを重ね多段バンパとする。例えば、80 $\mu$ mの高さのはんだボールを得るためには、40 $\mu$ mワイヤーを使用して3、4段重ねる必要がある。すなわち、多端子の半導体チップに対しては、非常に効率が悪く製造コストが高くなってしまいう問題がある。

【0014】はんだボール供給法はボールが通過する穴の開いたマスクを用い、はんだボールを半導体チップの電極上に供給し、そのままリフロー炉に通してバンパを形成する方法である(K. Inoue, et. al., "Development of solder ball arraying method for BGA bump formation", Proceedings of IMC 1996, pp. 280-284, 1996)。予め、チップ上にフラックスを塗布しておく、マスクを外してもはんだボールは固定されているため、リフロー作業は容易となる。しかしながら、BGAやCSP等ははんだボール径が大きい場合は、ボール間の相互付着力は弱い、100 $\mu$ m径以下のボールはその重さが半径の3乗に比例するため相互の付着力が強くなり、マスクの穴内に入らないことが多くなってしまいう。すなわち、半導体チップ上に微細なバンパ電極を形成する場合、完全性を求めることが困難となってしまう。

【0015】スクリーン印刷法も同様なマスクを用い、図21～24に示すように印刷マスク21の穴内にはんだペースト23をスキージ22を使用して充填し、半導

体チップ上の電極6にはんだペーストを印刷する方法である。印刷後、マスクを外す前あるいは後にリフローを行いはんだバンパ電極8を形成する(H. Mishima, et. al., "A new technology of screen printing method to solder bump forming applications", Proceedings of IMC 1996, pp. 231-236, 1996)。この方法も前述のはんだボール供給法と同様に、マスク穴径が小さくなると穴内にペーストが入りずらくなり、微細なバンパを完全性を確保しながら形成することが困難となる問題があった。

【0016】また、上述したいずれの方法でも、バンパ電極が形成されたベレット状の半導体チップはその電極パッドが微細であり、ピッチが細かいため、QFPやTCP等で用いられているソケット等で電気的接続を得ることが困難で、通常行うバーンイン試験が非常に困難となる。このため、チップのスクリーニングができず、チップの品質を従来のパッケージに入った半導体チップと同様に保証することが難しい問題を有していた。

【0017】

【発明が解決しようとする課題】以上述べたように、はんだバンパを形成する場合、めっき法が生産性に優れ広く用いられているが、ウェハー段階での工程が必要となるため、ベレット状の半導体チップに対してバンパを形成することができなかった。

【0018】一方、ベレット状態のペアチップにはんだバンパ電極を形成する方法としてワイヤボンディングによる方法やはんだボール供給法、スクリーン印刷法等が開発されているが、ワイヤボンディングによる方法では一括形成ができず、複数回のボンディングが必要となるため生産性が低い。また、はんだボール供給法あるいはスクリーン印刷法では100 $\mu$ m径以下のような微細なはんだバンパを形成することが困難である。

【0019】したがって、何れの方法を用いても、ベレット状のペア半導体チップ上に高密度ではんだバンパ電極を高い生産性を確保しながら製造することは困難であった。さらに、バンパ電極が形成されたベレット状のペア半導体チップはその電極パッドが微細であり、バーンイン試験によるチップのスクリーニングができず、チップの品質保証を従来のパッケージに入ったチップと同様に行うことが難しい問題を有していた。

【0020】本発明は、以上の問題点を鑑みてなされたもので、特にベレット状のペア半導体チップ上に微細なはんだバンパを一括して製造する方法と、この半導体チップのバーンイン試験法を提供することを目的とする。

【0021】

【課題を解決するための手段】上記目的を達成するために、本発明(請求項1)は、半導体素子上の電極パッド上にバンパ電極を製造するに際し、別途、金属層と樹脂

層が積層されたキャリアを用意し、前記キャリアに前記半導体素子上の電極パッドと同じ配置で金属層を貫く貫通孔を開く工程と、前記貫通孔壁面に露出した金属層にはんだをめっきする工程と、前記貫通孔と電極パッドを位置合わせし、前記キャリアと半導体素子を接触させる工程と、前記キャリアと半導体素子を接触させたままリフローを行い、貫通孔内のはんだを溶融させ、半導体素子上の電極パッド上にはんだを移転する工程を具備したことを特徴とする半導体装置の製造方法を提供する。

【0022】ここで、キャリアとして用いる材質は、リフロー時の変形を避ける目的ではんだリフロー温度よりも高いガラス転移点を有する材質とする。さらに好ましくは、リフロー時に貫通孔内のはんだを完全に半導体素子上の電極パッドに移転させる目的で、液状のはんだが濡れにくい材質、すなわち液状のはんだの表面張力よりも臨界表面張力が小さい材質でキャリアを形成することが望ましい。また、キャリアに形成された貫通孔内に完全性を保ちながらはんだめっきを行う目的で、はんだめっき液が濡れ易い材質、すなわちはんだめっき液の表面張力よりも臨界表面張力が大きい材質でキャリアを形成することが望ましい。

【0023】また、本発明（請求項2）は、前記金属層が、半導体素子の電極パッドを1対1に外側へ引き出し、拡大されたテスト用電極パッドを設けるようにパターンニングされたことを特徴とする請求項1に記載の半導体装置の製造方法を提供する。

【0024】また、もう一つの本発明（請求項2）は、前記キャリアと半導体素子を接触させたままリフローを行い、貫通孔内のはんだを溶融させ、半導体素子上の電極パッド上にはんだを移転する際、キャリア内の金属層と半導体素子上の電極パッドが電気的に接続された状態を保持し、前記テスト用電極パッドで半導体素子のテストを行う工程と、再度リフローを行い、貫通孔内のはんだを溶融させ半導体素子上の電極パッド上にはんだを移転する工程を具備したことを特徴とする請求項2に記載の半導体装置の製造方法を提供する。

【0025】

【発明の実施の形態】以下に本発明を詳細に説明する。

【0026】本発明者らは、ペレット状のベア半導体チップ上に微細なはんだバンプを一括して製造するため、また、この半導体チップのバーニン試験を実施するため、はんだバンプの形成方法に着目し、微細な貫通孔内へのはんだめっきとこのめっき物の溶融による電極パッドへの転写による方法が目的に対し有効に作用することを見いだした。

【0027】以下に本発明の実施の形態を示す。本発明は以下の実施形態に限定されることなく、種々変更して用いることができる。

【0028】図1～図6に本発明による半導体素子上へ

のバンプ電極製造方法の第1の実施例を示す。

【0029】まず、図5に示すような半導体素子が形成されたペレット状のベア半導体チップ5を準備する。半導体チップはシリコンに限らず、ガリウム砒素、インジウム燐等の化合物半導体でも良い。半導体素子の能動素子面の電極パッド6はアルミニウムであり、電極6以外はパッシベーション膜7で被覆されている。なお、半導体チップのサイズ、電極数、及び電極ピッチは、任意とすることができ、適宜選択することができる。

10 【0030】次に半導体チップ上にバリアメタルとなるニッケル膜、金膜の積層膜24を形成する（図6）。ここで、最上層の金膜はニッケル膜の酸化防止膜として作用するもので、0.05 $\mu$ m程度の厚さで十分である。この厚さであれば、はんだバンプをリフローして金のはんだ中に拡散してもはんだの特性に影響を及ぼさない。ニッケル膜ははんだバンプ中の錫の拡散防止バリアとして作用する。膜厚は錫の拡散速さを考慮して0.2 $\mu$ m以上あればよい。

20 【0031】これらの膜は無電解めっき法によりアルミニウム電極上だけに選択的に形成する。アルミニウム電極上に次亜リン酸を還元剤とした無電解ニッケルめっきを行う場合、アルミニウム自身は次亜リン酸の酸化反応に触媒性が無いために、まず、亜鉛置換処理やニッケル置換処理を施す。アルミニウムとの置換反応によりアルミニウム電極上に触媒核となる亜鉛粒子あるいはニッケル粒子を均一に形成した後、液温60℃、PH8の硫酸ニッケルと次亜リン酸の混合溶液に所定時間浸漬し、膜厚約3 $\mu$ mのニッケル膜を形成する。次いで、液温85℃、PH5.5のシアン化第1金カリウムおよびシアン化カリウムの混合溶液に所定時間浸漬し、膜厚約0.05 $\mu$ mの金膜を形成する。

30 【0032】次いで、図1に示すようなキャリアを用意する。キャリアは導電層2を樹脂1と樹脂3で挟んだ構造となっており、本実施例においては導電層2として9 $\mu$ m厚の銅箔を用い、樹脂1として200 $\mu$ m厚のポリイミドフィルム、樹脂3として30 $\mu$ m厚のポリイミドを用いた。ポリイミドは溶融はんだの表面張力である約400mN/mよりも小さく、はんだめっき液の表面張力である約20mN/mよりも大きい臨界表面張力を有している。また、このキャリアには直径40 $\mu$ mの貫通孔9が半導体チップの電極パッド6に対応した位置に形成されており、キャリア端部は銅箔2が露出した構造となっている。図7はこのキャリアを上面から見た図を示している。

40 【0033】このキャリアは例えば以下のようにして形成することができる。まず、ベースとなる導箔2が表面に付いたポリイミドフィルム1にワニス状態のポリイミド前駆体をコーティングする。キュアを行いこのポリイミドを硬化させた後、炭酸ガスレーザーにより半導体チップの電極パッド6に対応した位置に両面から40 $\mu$ m

の穴を開ける。この後、穴内の銅箔2をエッチングし銅箔に穴を開口させ貫通孔9を形成する。

【0034】次に、以上のように形成したキャリアの貫通孔壁面に露出した銅箔部分にはんだめっきを行う。はんだめっきは成膜速さが無電解めっきに比べ高速で、めっき液管理が容易な電気めっき法により形成する。電気めっき装置には、めっき液中の銅および鉛イオンが貫通孔内に充分供給できるように図8に示す噴流式めっき装置を用い、めっき液の噴流11の方向はキャリアの貫通孔9と平行になるようにする。また、はんだめっき液10にはスルホン酸系のめっき液を用い、貫通孔内にめっき液が完全に浸透するように、界面活性剤を適量添加して、表面張力が20mN/m程度となるように調整する。さらに、めっき後の膜中の銅、鉛の組成比が6対4となる様に銅イオン、鉛イオンの量を調節する。また、アノード板12には銅、鉛の組成比が6対4のはんだ板を用いた。

【0035】電流供給源であるカソード電極14をキャリア端部に露出した銅箔2に接触させ、アノード電極13をアノード板12に接続した後、めっき液10中で通電することにより、キャリアの貫通孔内にはんだ4を形成する(図2)。はんだめっきは析出したはんだ4が貫通孔を完全に埋めるまで行う。はんだは貫通孔内の銅箔2端部から等方的に析出するため、この時点で貫通孔内のはんだ4の高さはほぼ貫通孔径と等しい約40μmとなる。

【0036】めっきの電流密度は1.0~2.0A/dm<sup>2</sup>で行った場合に緻密で組成の分布が少ないめっき膜が得られるが、はんだの析出に伴いカソード表面積が変化するため、電流密度を1.0~2.0A/dm<sup>2</sup>の範囲に保つために面積の変化に併せてめっき電流を制御するのが好ましい。このため、数値計算によるシミュレーションによりめっき電流の解析を行い、カソード面積の時間変化を正確に求めた。この結果、カソード面積はめっき時間に対して図9中のaに示すように変化するため、電流密度を一定に保つためにめっき電流を図9中のbに示すように時間に伴い変化させた。

【0037】続いて上述のようにして形成したキャリアを電極パッド6上にニッケルと金の積層膜24を形成した半導体チップにキャリアを密着させる。この場合、半導体チップ5をキャリア下面に置き、樹脂層3を下向きにした状態でキャリアのはんだが充填された貫通孔とチップの電極パッド6を位置合わせして密着させる。次いでこの状態を保ちながらリフロー炉に通し、はんだ4をリフローする。キャリアは溶融したはんだの表面張力よりも小さな臨界表面張力を有しているため、リフロー時にはんだは自重により下部へ移動し、半導体チップの電極パッド上の積層膜24に接触する。積層膜24の最上層にはんだと濡れ易い金が形成されているため、接触したはんだは電極パッド全体を濡らし、完全にはんだと

電極パッドは接続される(図3)。さらに、リフロー炉中においてキャリアと半導体チップを分離させることにより、はんだは電極パッド上へ転写され、球状のバンパ電極8が形成された半導体素子を得ることができる(図4)。リフロー時にはんだ表面に形成された自然酸化膜を除去する目的で予めキャリアにフラックスを塗布する。また、リフロー温度は例えば240℃に設定した。【0038】以上のようにしてベレット状のペア半導体チップの電極パッド上へはんだバンパを一括して形成することができる。尚、ここで用いたキャリアは、使用後に再び図2に示す工程によりはんだをめっきし、再使用することができる。

【0039】次に図10~図13を用いて本発明による半導体素子上へのバンパ電極製造方法の第2の実施例を説明する。

【0040】まず、図10に示したようなキャリアを用意する。図14にはこのキャリアを上方より見た図を示した。このキャリアは図1に示したキャリアと同様に、導電層2を樹脂層1と樹脂層3で挟んだ形状を有している。ただし、導電層2はパターンニングされており、個々の貫通孔9に露出した導電層2は、それぞれの貫通孔9に対応して独立してキャリア端部に引き出されたパターンを形成している。この場合、引き出し線18により引き出された電極17は樹脂層3から露出しており、さらに電極17のピッチは貫通孔9のピッチよりも大きく拡大され、通常のTAB等の通電試験に用いるプローバーでプロービング可能である。

【0041】本実施例においては導電層2として9μm厚の銅箔を用い、樹脂1として200μm厚のポリイミドフィルム、樹脂3として30μm厚のポリイミドを用いた。ポリイミドは溶融はんだの表面張力である約400mN/mよりも小さく、はんだめっき液の表面張力である約20mN/mよりも大きい臨界表面張力を有している。また、キャリア内の貫通孔9の直径は40μmとして半導体チップの電極パッドに対応した位置に形成した。

【0042】このキャリアは例えば以下のようにして形成することができる。まず、ベースとなる銅箔2が表面に付いたポリイミドフィルム1を用意する。この銅箔2上に感光性レジスト膜を形成し、フォトリソグラフィ技術により引き出し線18の形状にレジスト膜を加工する。この後、銅箔2をエッチングし、レジスト膜を除去することで、銅箔2を引き出し線の形状に加工する。次に、銅箔2面にワニス状態のポリイミド前駆体をコーティングする。キュアを行いこのポリイミドを硬化させた後、炭酸ガスレーザーにより半導体チップの電極パッドに対応した位置に両面からポリイミド膜に直径40μmの穴を開ける。この後、穴内の銅箔2をエッチングし銅箔に穴を開口させ貫通孔9を形成する。

【0043】次に、以上のようにして形成したキャリア

の貫通孔9の壁面に露出した銅箔2部分にはんだめっきを行う。めっきは第1の実施例と同様のめっき装置、めっき液、およびめっき条件を用いて行う。ただし、図8に示しためっき装置におけるカソード電極14は図14に示したキャリアの全ての電極17に電氣的に接続する。このようにしてめっきを行うことにより、貫通孔内にはんだめっき4が充填される(図11)。

【0044】続いて、第1の実施例と同様に形成したニッケルと金の積層膜24がパッド電極6上に形成されたベレット状のペア半導体チップ(図6)を用意し、上述のようにして形成したキャリアをこの半導体チップに密着させる。この場合、半導体チップ5をキャリア下面に置き、樹脂層3を下向きにした状態でキャリアのはんだが充填された貫通孔とチップの電極パッド6を位置合わせして密着させる。次いでこの状態を保ちながらリフロー炉に通し、はんだ4をリフローする。キャリアは溶融したはんだの表面張力よりも小さな臨界表面張力を有しているため、リフロー時にはんだは自重により下部へ移動し、半導体チップの電極パッド上に形成された積層膜24に接触する。積層膜24の最上層にはんだと濡れ易い金が形成されているため、接触したはんだは電極パッド全体を濡らし、完全にはんだと電極パッドは接続される(図12)。

【0045】この状態で、リフロー炉より取り出すと、樹脂層3の厚さが30 $\mu$ m、貫通孔内のはんだの高さが40 $\mu$ mであるため、キャリア内の導電層2と電極パッド6は機械的・電氣的に接続されることとなる。この状態のキャリアを適当なスクリーニングプロセスにかけて半導体チップのスクリーニングを行う。半導体チップへの通電は、通常のTAB等の通電試験に用いるプローバーによりキャリア上の電極パッド17をプロービングして行う。スクリーニングプロセスは半導体チップの種類、材料の違い、使用環境、用途によって異なり、必要に応じて熱的、機械的、電氣的ストレス等を印加し検査する。本実施例においては、半導体チップとしてペアのSRAMチップを用い、125℃でキャリアの電極17に定格最大電圧以上の電圧を1時間印加するバーンインスクリーニングを行うことで、酸化膜欠陥等が存在する不良チップを選別・排除することができた。

【0046】スクリーニング終了後、良品と判断された半導体チップは、再びリフロー炉に通し、リフロー炉中においてキャリアと半導体チップを分離させる。これにより、はんだは電極パッド上へ転写され、球状のバンパ電極8が形成された半導体素子を得ることができる(図13)。リフロー時にはんだ表面に形成された自然酸化膜を除去する目的で予めキャリアにフラックスを塗布する。また、リフロー温度は例えば240℃に設定した。

【0047】以上のようにしてベレット状のペア半導体チップのスクリーニングを行うと同時に電極パッド上へ

はんだバンパを一括して形成することができる。尚、ここで用いたキャリアは、使用後に再び図11に示す工程によりはんだをめっきし、再使用することができる。

【0048】図15は従来の方法で形成したはんだバンパと本発明で形成したはんだバンパのバンパピッチに対する完全性を比較した図である。試料チップとしてはI/O数100個のLSIを用い、評価数はそれぞれ20個とした。完全性はバンパ形成後の全バンパの形状観察および電氣的絶縁性により評価した。図中の試料aは本発明により形成した試料、試料bははんだワイヤボンディングにより形成した試料、試料cははんだボール供給法により形成した試料、試料dはスクリーン印刷法により形成した試料をそれぞれ示している。

【0049】図15に示されるように、試料c、dは200 $\mu$ mピッチにおいてもバンパが形成されない抜けが多く、微細バンパ形成が困難であった。また、試料bは120 $\mu$ mピッチまで100%の完全性でバンパを形成することができたが、100 $\mu$ mピッチ以下ではリフロー後にバンパ同士のショートが多く見られた。一方、本発明による試料aでは40 $\mu$ mピッチにおいても100%の完全性を保ち、微細バンパの形成に極めて優れた方法であることが明らかとなった。

【0050】図16は、I/O数100個のSRAMに対し、ワイヤボンディング法ではんだバンパを形成した試料と、本発明による形成方法によりはんだバンパを形成した試料の高温動作寿命試験後の単独ビット不良を集計比較した結果を示している。図中の試料eはワイヤボンディング法ではんだバンパを形成し、スクリーニングを行わなかった試料、試料fは本発明による形成方法によりはんだバンパを形成し、バーンインスクリーニングを実施した試料をそれぞれ示している。高温動作寿命試験は電源電圧に定格最大値を印加し、125℃の温度において行った。この結果、図に示されるように、試料eでは1時間を超えた付近で不良が発生しだすのに対し、試料fでは1000時間を超えるまで不良は発生しなかった。

【0051】また、本発明によるバンパの製造方法によれば、一括してめっき、バンパ移転を行うため複数個のバンパを一括して短時間に形成できる。したがって、半導体チップのI/Oが多い場合は図17～20に示すワイヤボンディング法に比べ極めて製造効率が高く、製造コストの削減に大きく貢献し得る。さらに、図8に示すめっき工程において、めっき槽内に複数個のキャリアを設置し同時に複数個のキャリアに対してはんだめっきを行うことでより製造効率を高めることが可能である。

【0052】なお、本発明は前記実施例に限定されるものでなく、その要旨を逸脱しない範囲で変更して実施し得る。例えば、キャリア内の貫通孔内へはんだめっきを行う際に用いるめっき装置として試料を鉛直状態でめっきする装置を用いたが、水平状態でめっきする装置を用

いてもよい。さらには、はんだをめっきする際のめっき液やめっき条件、電極パッド上にバリアメタルを形成する際に用いる無電解めっきのめっき液やめっき条件、リフロー条件、スクリーニング条件は試料の材質、形状、機能等により適宜変更することが望ましい。

【0053】また、半導体チップ、バリアメタル、はんだバンパ、キャリアの樹脂および導電層はその材質、組成、寸法などに関して種々変更して用いることができ、さらに、キャリアの製造方法も前記例示に限定されないことはむろんである。

【0054】

【発明の効果】以上説明したように、本発明によれば、半導体チップの電極パッド上にはんだバンパを形成する場合、フォトリソグラフィ工程を必要としないためにペレット状の半導体チップ上にはんだバンパを形成することができる。

【0055】また、複数の微細貫通孔内へ選択的に高精度なはんだめっきを行い、これを一括して半導体チップ上に移転しバンパを形成するため、微細なはんだバンパを高い生産性を確保しながら製造することができる。

【0056】さらに、本発明ではキャリアと半導体チップを分離する前段階において、キャリアとして半導体チップの各電極パッドに対応して独立した電極を有するキャリアを用いることで、ペレット状の半導体チップをバーンイン試験しスクリーニングすることができるため、チップの品質を従来のパッケージに入ったチップと同様に保証できる。

【図面の簡単な説明】

【図1】本発明の半導体装置の第1の製造方法を説明する図である。

【図2】本発明の半導体装置の第1の製造方法を説明する図である。

【図3】本発明の半導体装置の第1の製造方法を説明する図である。

【図4】本発明の半導体装置の第1の製造方法を説明する図である。

【図5】本発明の半導体装置の第1の製造方法を説明する図である。

【図6】本発明の半導体装置の第1の製造方法を説明する図である。

【図7】本発明の半導体装置の第1の製造方法で用いるバンパ形成用キャリアの概略図である。

【図8】本発明の半導体装置の製造において用いるはんだめっき装置の概略図である。

【図9】本発明の半導体装置の製造において用いるはんだめっき時のめっき電流の制御方法を説明する図である。

【図10】本発明の半導体装置の第2の製造方法を説明する図である。

【図11】本発明の半導体装置の第2の製造方法を説明

する図である。

【図12】本発明の半導体装置の第2の製造方法を説明する図である。

【図13】本発明の半導体装置の第2の製造方法を説明する図である。

【図14】本発明の半導体装置の第2の製造方法で用いるバンパ形成用キャリアの概略図である。

【図15】本発明により製造したはんだバンパと従来法で形成したはんだバンパの完全性を比較した図である。

10 【図16】本発明により製造したはんだバンパ付き半導体チップと従来法で形成したはんだバンパ付き半導体チップの信頼性試験結果を示す図である。

【図17】従来の半導体装置の第1の製造方法を説明する図である。

【図18】従来の半導体装置の第1の製造方法を説明する図である。

【図19】従来の半導体装置の第1の製造方法を説明する図である。

20 【図20】従来の半導体装置の第1の製造方法を説明する図である。

【図21】従来の半導体装置の第2の製造方法を説明する図である。

【図22】従来の半導体装置の第2の製造方法を説明する図である。

【図23】従来の半導体装置の第2の製造方法を説明する図である。

【図24】従来の半導体装置の第2の製造方法を説明する図である。

【符号の説明】

- 30 1・・・樹脂層  
2・・・導電層  
4・・・はんだ  
6・・・電極パッド  
7・・・パッシベーション膜  
8・・・バンパ電極  
9・・・貫通孔  
10・・・めっき液  
11・・・めっき液流  
12・・・アノード板  
40 13・・・アノード電極  
14・・・カソード電極  
15・・・直流電源  
16・・・めっき槽  
17・・・引き出し電極  
18・・・引き出し線  
19・・・キャピラリ  
20・・・はんだワイヤー  
21・・・印刷マスク  
22・・・スキージ  
50 23・・・はんだペースト

24・・・積層膜（バリアメタル）

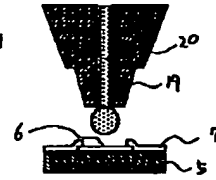
【図1】



【図2】



【図17】



【図3】



【図4】



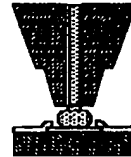
【図5】



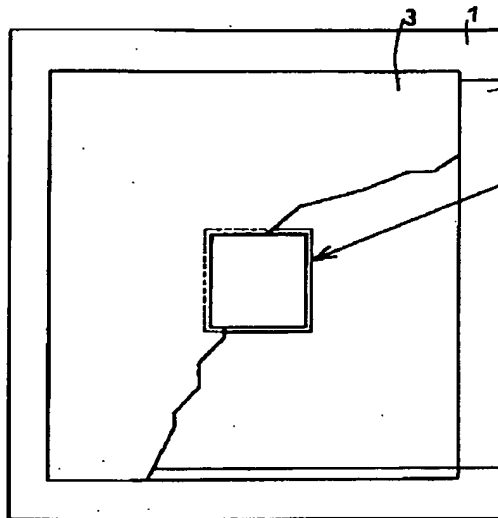
【図6】



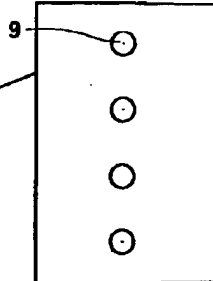
【図18】



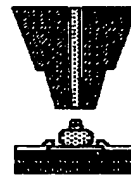
【図7】



拡大図



【図19】



【図20】



【図10】



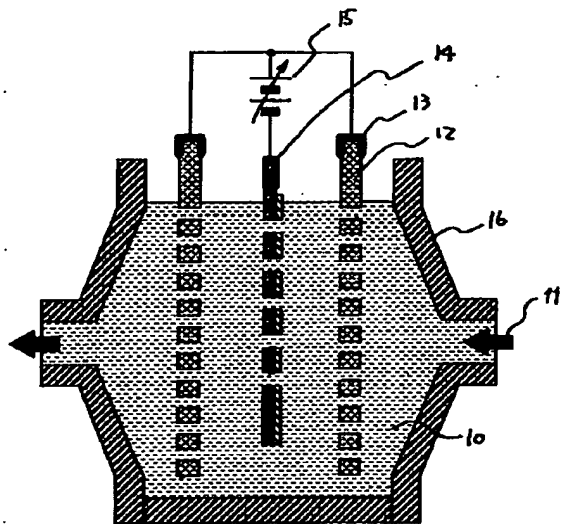
【図11】



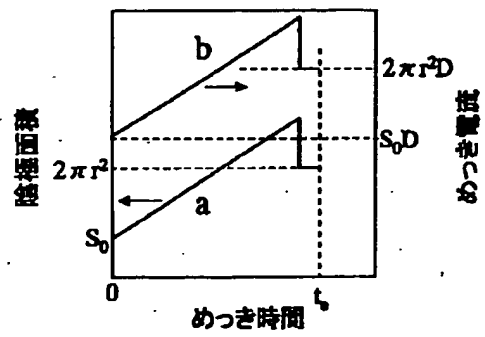
【図12】



【図8】



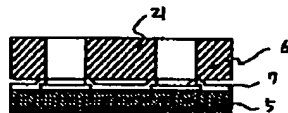
【図9】



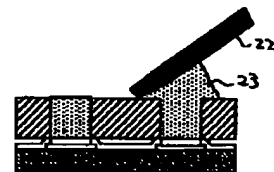
【図13】



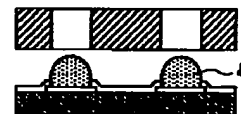
【図21】



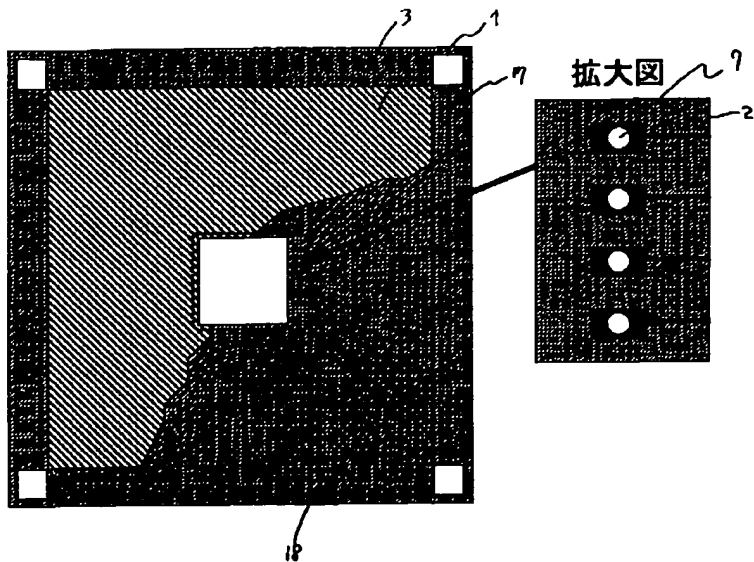
【図22】



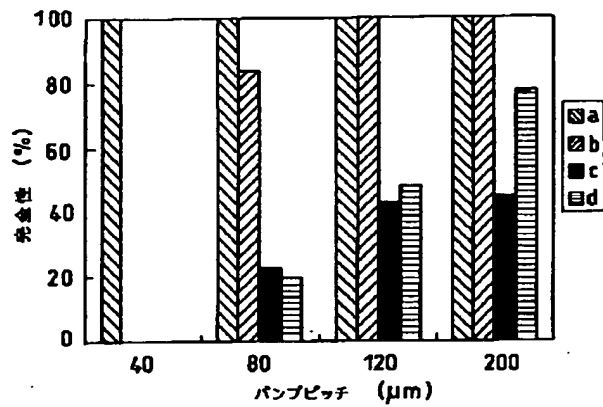
【図24】



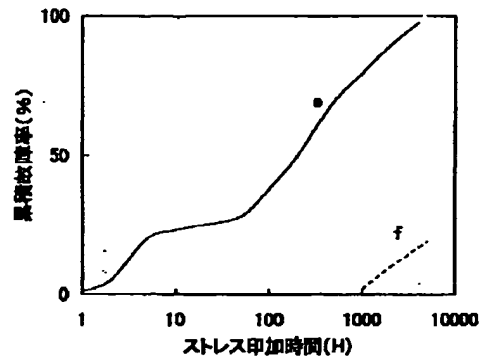
【図14】



【図15】



【図16】



【図23】



フロントページの続き

(72)発明者 山田 浩  
神奈川県横浜市磯子区新磯子町33番地 株  
式会社東芝生産技術研究所内

(72)発明者 梶寄 隆  
神奈川県横浜市磯子区新磯子町33番地 株  
式会社東芝生産技術研究所内

(72)発明者 舘山 和樹  
神奈川県横浜市磯子区新磯子町33番地 株  
式会社東芝生産技術研究所内